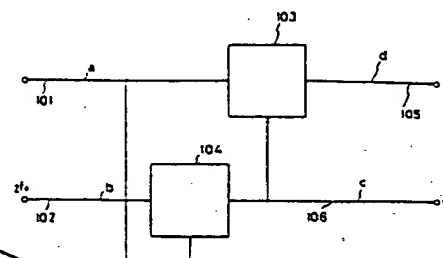


(54) EXTERNAL TIMING SYSTEM

(11) 63-169845 (A) (43) 13.7.1988 (19) JP
 (21) Appl. No. 62-2066 (22) 7.1.1987
 (71) NEC CORP (72) TOKUO YOSHIDA(1)
 (51) Int. Cl. H04L7/04

PURPOSE: To attain the retiming of an input data by simple logic operation independently of the frequency of the input data by using a signal being $1/N$ frequency division of the clock signal having the frequency being a multiple of N (N is an even number) of a digital signal and retiming the digital signal.

CONSTITUTION: A clock signal inputted from a clock input line 102 has a frequency being twice of that of the data signal inputted from a data input line 101. A $1/2$ frequency division circuit 104 clears the internal state at the leading of the data signal inputted from the line 101 to apply $1/2$ frequency division of the clock signal having a frequency component twice that of the data signal. Moreover, an identification circuit 103 uses the clock signal having a clock frequency f_0 being an output of the $1/2$ frequency division circuit to apply retiming of the data signal and the data signal subject to retiming is outputted to a data output line 105. The clock signal having a frequency $2f_0$ inputted from the clock input line 102 is generated from the clock signal having a frequency component of f_0 by using a doubled circuit.



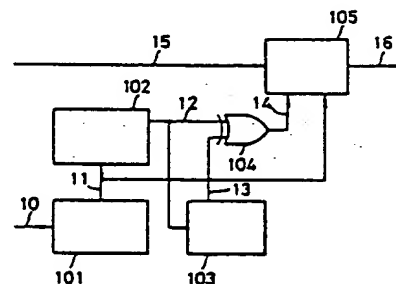
106: clock output line. a,d: data signal. b,c: clock signal

(54) FRAME PULSE GENERATING SYSTEM

(11) 63-169846 (A) (43) 13.7.1988 (19) JP
 (21) Appl. No. 62-1426 (22) 7.1.1987
 (71) NEC CORP (72) KATSUHIRO SASAKI
 (51) Int. Cl. H04L7/08

PURPOSE: To avoid the pseudo synchronizing locking even to a signal transmission of a fixed pattern having a very strong correlativity by using N -set of specific frame synchronizing pulses in one frame as a pattern signal using M -frame (M is an integral number of 2 or over) as the period.

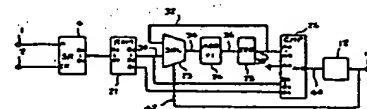
CONSTITUTION: A frequency divider circuit 101 inputs a multiplex clock 10 and outputs a frequency division signal 11 being position information of a frame synchronizing pulse. A synchronizing pattern generating circuit 102 generates a synchronizing pattern signal 12 based on the signal 11 while using one frame as one period. A pulse generating circuit 103 outputs a control signal 13 taking M -frame as the period as the specific N -set of synchronizing pulse locations in one frame based on the synchronizing pattern signal 12. An EX-OR gate 104 outputs a synchronizing pattern signal 14 being the exclusive OR between the signals 12 and 13. That is, the N -set of specific frame synchronizing pulses in one frame becomes signals changing as the M -frame as the period. A multiplex circuit 105 applies multiplex to the synchronizing pattern signal 14 onto the input signal 15 based on the control of the signal 11 and outputs the result as the multiplex signal 16.

**(54) MULTI-FRAME SYNCHRONIZING CIRCUIT**

(11) 63-169847 (A) (43) 13.7.1988 (19) JP
 (21) Appl. No. 62-1081 (22) 8.1.1987
 (71) OKI ELECTRIC IND CO LTD(1) (72) MASAHARU KAWAGUCHI(2)
 (51) Int. Cl. H04L7/08, H04L3/06

PURPOSE: To ensure the detection of a multi-frame synchronizing signal and to minimize the discrimination of the establishment of synchronization in mistake by other than mentioned below signals by checking whether or not a series of plural bits included in a multi-frame synchronizing signals of a prescribed code pattern takes place in a prescribed order so as to detect the multi-frame synchronizing signal.

CONSTITUTION: A serial bit string coming to an input terminal 1 is inputted sequentially to the input A of a shift register 4 and outputted in parallel from outputs Q1~Q7 sequentially. Read addresses A1~A7 of a ROM 21 are designated by the output and stored data 00~04 of the designated storage position are read to an input 30 of a selector 23 and inputs B0~B4 of a comparator 26. When the multi-frame synchronization is established, a selector 23 selects an input 32 from a register 25 by an output 42 of a protection circuit 12, an adder 24 adds "1" and inputs the results to the register 25. An output 38 of the register 25 is inputted to inputs A0~A3 of the comparator 26. The input A4 receives always logic 0. The comparator 26 compares both the inputs A0~A4 and B0~B4 and outputs the result of comparison to the protection circuit 12.



2												12																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
A7	A6	A5	A4	A3	A2	A1	00	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335	336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351	352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367	368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383	384	385	386	387	388	389	390	391	392	393	394	395	396	397	398	399	400	401	402	403	404	405	406	407	408	409	410	411	412	413	414	415	416	417	418	419	420	421	422	423	424	425	426	427	428	429	430	431	432	433	434	435	436	437	438	439	440	441	442	443	444	445	446	447	448	449	450	451	452	453	454	455	456	457	458	459	460	461	462	463	464	465	466	467	468	469	470	471	472	473	474	475	476	477	478	479	480	481	482	483	484	485	486	487	488	489	490	491	492	493	494	495	496	497	498	499	500	501	502	503	504	505	506	507	508	509	510	511	512	513	514	515	516	517	518	519	520	521	522	523	524	525	526	527	528	529	530	531	532	533	534	535	536	537	538	539	540	541	542	543	544	545	546	547	548	549	550	551	552	553	554	555	556	557	558	559	560	561	562	563	564	565	566	567	568	569	570	571	572	573	574	575	576	577	578	579	580	581	582	583	584	585	586	587	588	589	590	591	592	593	594	595	596	597	598	599	600	601	602	603	604	605	606	607	608	609	610	611	612	613	614	615	616	617	618	619	620	621	622	623	624	625	626	627	628	629	630	631	632	633	634	635	636	637	638	639	640	641	642	643	644	645	646	647	648	649	650	651	652	653	654	655	656	657	658	659	660	661	662	663	664	665	666	667	668	669	670	671	672	673	674	675	676	677	678	679	680	681	682	683	684	685	686	687	688	689	690	691	692	693	694	695	696	697	698	699	700	701	702	703	704	705	706	707	708	709	710	711	712	713	714	715	716	717	718	719	720	721	722	723	724	725	726	727	728	729	730	731	732	733	734	735	736	737	738	739	740	741	742	743	744	745	746	747	748	749	750	751	752	753	754	755	756	757	758	759	760	761	762	763	764	765	766	767	768	769	770	771	772	773	774	775	776	777	778	779	780	781	782	783	784	785	786	787	788	789	790	791	792	793	794	795	796	797	798	799	800	801	802	803	804	805	806	807	808	809	810	811	812	813	814	815	816	817	818	819	820	821	822	823	824	825	826	827	828	829	830	831	832	833	834	835	836	837	838	839	840	841	842	843	844	845	846	847	848	849	850	851	852	853	854	855	856	857	858	859	860	861	862	863	864	865	866	867	868	869	870	871	872	873	874	875	876	877	878	879	880	881	882	883	884	885	886	887	888	889	890	891	892	893	894	895	896	897	898	899	900	901	902	903	904	905	906	907	908	909	910	911	912	913	914	915	916	917	918	919	920	921	922	923	924	925	926	927	928	929	930	931	932	933	934	935	936	937	938	939	940	941	942	943	944	945	946	947	948	949	950	951	952	953	954	955	956	957	958	959	960	961	962	963	964	965	966	967	968	969	970	971	972	973	974	975	976	977	978	979	980	981	982	983	984	985	986	987	988	989	990	991	992	993	994	995	996	997	998	999	1000	1001	1002	1003	1004	1005	1006	1007	1008	1009	1010	1011	1012	1013	1014	1015	1016	1017	1018	1019	1020	1021	1022	1023	1024	1025	1026	1027	1028	1029	1030	1031	1032	1033	1034	1035	1036	1037	1038	1039	1040	1041	1042	1043	1044	1045	1046	1047	1048	1049	1050	1051	1052	1053	1054	1055	1056	1057	1058	1059	1060	1061	1062	1063	1064	1065	1066	1067	1068	1069	1070	1071	1072	1073	1074	1075	1076	1077	1078	1079	1080	1081	1082	1083	1084	1085	1086	1087	1088	1089	1090	1091	1092	1093	1094	1095	1096	1097	1098	1099	1100	1101	1102	1103	1104	1105	1106	1107	1108	1109	1110	1111	1112	1113	1114	1115	1116	1117	1118	1119	1120	1121	1122	1123	1124	1125	1126	1127	1128	1129	1130	1131	1132	1133	1134	1135	1136	1137	1138	1139	1140	1141	1142	1143	1144	1145	1146	1147	1148	1149	1150	1151	1152	1153	1154	1155	1156	1157	1158	1159	1160	1161	1162	1163	1164	1165	1166	1167	1168	1169	1170	1171	1172	1173	1174	1175	1176	1177	1178	1179	1180	1181	1182	1183	1184	1185	1186	1187	1188	1189	1190	1191	1192	1193	1194	1195	1196	1197	1198	1199	1200	1201	1202	1203	1204	1205	1206	1207	1208	1209	1210	1211	1212	1213	1214	1215	1216	1217	1218	1219	1220	1221

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2693758号

(45)発行日 平成9年(1997)12月24日

(24)登録日 平成9年(1997)9月5日

(51)Int.Cl.^a

H 0 4 L 7/08

識別記号

庁内整理番号

F I

H 0 4 L 7/08

技術表示箇所

A

発明の数1(全 4 頁)

(21)出願番号 特願昭62-1426

(22)出願日 昭和62年(1987)1月7日

(65)公開番号 特開昭63-169846

(43)公開日 昭和63年(1988)7月13日

審判番号 平8-10079

(73)特許権者 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72)発明者 佐々木 勝弘

東京都港区芝5丁目33番1号 日本電気

株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

合議体

審判長 木屋野 忠

審判官 菅野 嘉昭

審判官 松野 高尚

(56)参考文献 特開 昭57-26946 (J P, A)

実公 昭56-10040 (J P, Y 2)

(54)【発明の名称】 フレームパルス発生方式

1

(57)【特許請求の範囲】

1. 1フレームが n 個 (n は2以上の整数)のフレーム同期パルスを伝送するフレームパルス発生方式であって、

フレーム同期パルスの基本パターンを発生するフレーム同期パルス発生回路と、

1フレーム中の特定の N 個 (N は $n > N \geq 1$ を満足する整数)のフレーム同期パルスの位置において M フレーム (M は2以上の整数)を周期とする制御信号を発生する制御信号発生回路と、

前記基本パターンを有するフレーム同期パルスと前記制御信号とを入力して1フレーム中の特定の N 個のフレーム同期パルスが M フレームを周期として変化するフレームパルスを発生する論理回路とを有することを特徴とするフレームパルス発生方式。

2

【発明の詳細な説明】

技術分野

本発明はフレームパルス発生方式に関し、特に無線デジタル伝送通信システムにおけるフレームパルスの発生方式に関するものである。

従来技術

従来のフレーム同期パルスの発生方式においては、第4図にそのフレーム同期パルスの発生パターンの例を示す如く、当該フレームパターンが1フレームを単位として固定となっている。この例では、1フレーム期間内に等間隔に発生するフレーム同期パルスが8個配列された構成であり、その固定パターンが「11010110」となる様になっている。

この様に、従来のフレームパルスの発生方式では、フレーム同期パターンが1フレームを単位として固定とな

3

っている。試験伝送等を行う際に、ある種の特定の固定パターンを伝送する必要がある場合等において、入力信号列とフレーム同期パターンとの間に非常に強い相関性が生じることがある。そのために、当該入力信号列に対して擬似同期引込み現象を生じ易く、よって正確なフレーム同期を確立することが不可能になるという欠点を有している。

発明の目的

そこで、本発明は従来の如き上述した欠点を解決すべく、なされたものであって、その目的とするところは、フレーム同期パターンと非常に強い相関性を有して擬似同期引込み現象を招来する様なケースをできるだけ少なくし得るようにしたフレームパルス発生方式を提供することにある。

発明の構成

本発明によれば、1フレームが n 個 (n は2以上の整数) のフレーム同期パルスを伝送するフレームパルス発生方式であって、

フレーム同期パルスの基本パターンを発生するフレーム同期パルス発生回路と、

1フレーム中の特定の N 個 (N は $n > N \geq 1$ を満足する整数) のフレーム同期パルスの位置において M フレーム (M は2以上の整数) を周期とする制御信号を発生する制御信号発生回路と、

前記基本パターンを有するフレーム同期パルスと前記制御信号とを入力して1フレーム中の特定の N 個のフレーム同期パルスが M フレームを周期として変化するフレームパルスを発生する論理回路とを有することを特徴とするフレームパルス発生方式が得られる。

実施例

以下に図面を用いて本発明の実施例を説明する。

第1図は本発明の実施例のフレームパルスを発生する送信側のブロック図であり、第3図は第1図のブロックの動作タイムチャートの1例である。尚、本実施例では説明の便宜上 $N=2$ 、 $M=4$ とし、フレーム構成は従来例(第4図)と同様に1フレーム中に8個のフレーム同期パルスを等間隔に配列した場合について説明するものとする。

図において、分周回路101は多重化クロック10を入力としてフレーム同期パルスの位置情報である分周信号11を出力する。同期パターン発生回路102はこの分周信号11を基に1フレームを周期とする同期パターン信号12を発生する(第3図参照)。パルス発生回路103はこの同期パターン信号12を基に1フレーム中の N ($=2$) 個の特定の同期パルス位置において M ($=4$) フレームを周期とする制御信号13を出力する。

EX-OR (Exclusive-OR) ゲート104は同期パターン信号12と制御信号13との排他的論理和をとった同期パターン信号14(第3図参照)を出力する。すなわち、1フレーム中の N ($=2$) 個の特定のフレーム同期パルスが M

4

($=4$) フレームを周期として変化する信号となる。多重化回路105は入力信号15に当該同期パターン信号14を分周信号11の制御に基づき多重化を行い、多重化信号16として出力する。

第2図はかかる同期パターン信号を含んだ多重化信号を受信する受信回路のブロック図である。この受信側回路において、分離回路201は分周回路201の出力信号21すなわち、受信入力信号28の中のフレーム同期パルスの位置を示す信号を基に受信入力信号28よりフレーム同期パルスを分離し、受信同期パターン信号25を出力する。比較回路26は受信同期パターン信号25と受信側にて発生させた同期パターン信号24とを比較して比較信号26を出力する。判定回路207は比較信号26を基にフレーム同期が確立したかどうかの判定を行い、判定信号27を出力する。すなわち、受信したフレーム同期パターンと受信側にて発生させたフレーム同期パターンとを比較することにより、フレーム同期が確立したかどうかの判定として、分周回路201は比較信号26と判定信号27の制御のもとに受信入力クロック20より、受信入力信号28の中のフレーム同期パルスの位置を示す分周信号21を出力する。

同期パターン発生回路202は分周信号21を基に1フレームを周期とする同期パターン信号22を発生する。制御信号発生回路203はフレーム同期引込み過程の最初のフレームにおいては、1フレーム中の特定の同期パルスの位置における分離信号25を初期値として、上記以外の過程においては、1フレーム前の自回路内での値を基準として同期パターン信号22を基に1フレーム中の N ($=2$) 個の特定の同期パルスの位置で M ($=4$) フレームを周期とした制御信号23を出力する。EX-ORゲート204は同期パターン信号22と制御信号23との排他的論理和をとった同期パターン信号24を出力する。

こうすることにより、1フレーム中の特定の N 個のフレーム同期パルスが M フレームを周期として変化するパターンを有するフレーム同期信号が得られることになる。このことは、換言すれば、フレーム同期信号が実質上基本フレーム同期パターンの周期の M 倍(4倍)だけ長くなった周期を有することになり、従来におけるフレーム同期パターンと非常に相関性の強い入力信号列に対しても、実質的に相関性がなくなることになるので、擬似的な同期引込みが防止可能となるものである。

尚、 M 及び N の値や1フレーム中の同期パルスの個数等については、上記実施例に限定されることなく種々の変更が可能であることは明白である。

発明の効果

叙上の如く、本発明によれば、1フレーム中の特定の N 個のフレーム同期パルスを M フレームを周期とするパターン信号とすることにより、非常に相関性の強い固定パターンの信号伝送に対しても、擬似同期引込み動作を回避できるという効果がある。

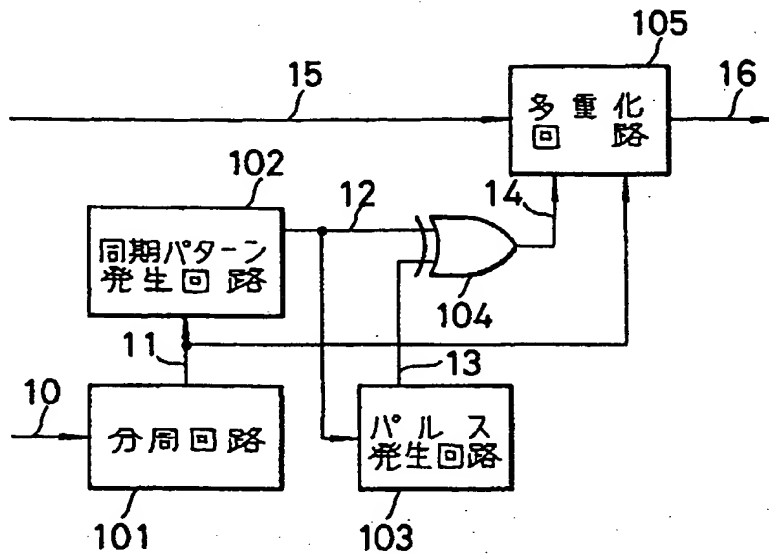
【図面の簡単な説明】

第1図は本発明の実施例のフレームパルス発生方式に適用される送信回路ブロック図、第2図は同じく受信回路ブロック図、第3図は第1図のブロックの動作を示すタイムチャート、第4図は従来のフレームパルスの発生様を示すタイムチャートである。

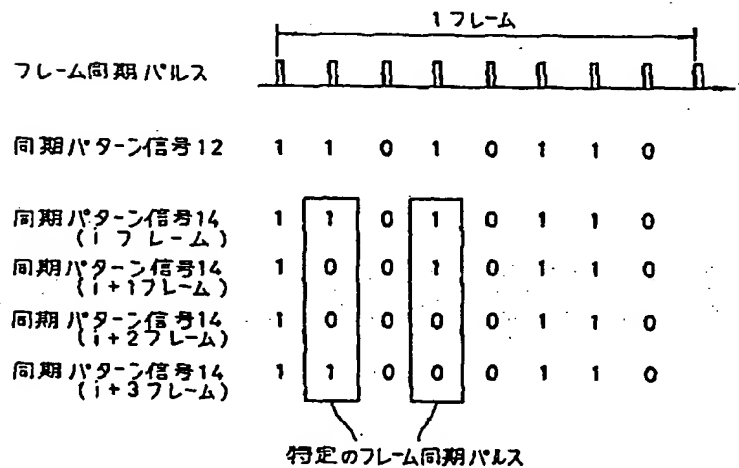
主要部分の符号の説明

102……同期パターン発生回路
103……パルス発生回路
104……EX-ORゲート
105……多重化回路

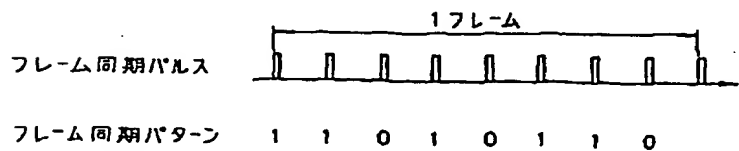
【第1図】



【第3図】



【第4図】



【第2図】

